

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-95602

⑬ Int.Cl.

H 01 P 5/08
H 01 L 23/02
23/04
23/12
29/80
H 01 P 3/08
H 03 F 3/60

識別記号

3 0 1

庁内整理番号

L-8626-5J
B-6835-5F
F-6835-5F
7738-5F
G-8122-5F
8626-5J
6658-5J

⑭ 公開 平成1年(1989)4月13日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 チップ化モジュール

⑯ 特 願 昭62-255876

⑰ 出 願 昭62(1987)10月8日

⑱ 発 明 者 泉 勲 夫 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

チップ化モジュール

2. 特許請求の範囲

チップ部品を用いたマイクロ波モジュールにおいて、誘電体基板上に入出力ストリップ線路を蒸着し、この入出力ストリップ線路と結合するスロット線路及び前記チップ部品を前記誘電体基板裏面の接地導体面上に構成して、前記入出力ストリップ線路と前記チップ部品との接続をストリップ・スロット変換を介してなし、さらにチップ実装部をハーメチックシールしたことを特徴とするチップ化モジュール。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はチップ化モジュールに関し、特にモノリシックマイクロ波集積回路(以下MMICと記す)

チップを用いたチップ化モジュールに関する。

〔従来の技術〕

最近、増幅器や周波数変換器等のマイクロ波デバイスを数mm角のGaAsやSiチップ上に同一プロセスで構成するMMICの開発が進み、回路の大幅な小型化が図られている。

従来、このような回路の実装方法としては、チップ、入出力ストリップ線路やバイパス用薄膜抵抗をアルミナセラミック基板上に蒸着したMIC基板、バイパスチップコンデンサ等をパッケージ内に平面的に実装した上、チップ保護のために本パッケージを気密封止する構造が採られる。

第3図(a),(b),(c),(d)は従来のチップ化モジュールの一例を示す増幅器の平面透視図、側面図、回路図、チップキャリア実装図である。第3図において、1はGaAs FETチップ、2,3は直流カット用のチップコンデンサ、4,5はゲート及びドレインの電源バイパスコンデンサ、6,7は薄膜抵抗である。8,9はセラミック基板で、入出力ストリップライン、薄膜抵抗が蒸着される。10,11は

特開平1-95602(2)

ゲート、ドレインへの電源電圧供給コネクタピン、12'、13'は高周波入出力ピンコネクタ、14'はパッケージケース、15はカバーである。16は入出力ピンコネクタ12'、13'を気密封止するためのガラス封止であり、パッケージケース14、カバー15はレーザミールにより気密封止される。17は取付用ねじ穴である。熱伝導度が良いチップキャリア18上にGaAsFETチップ1が実装され両者の線膨張率は等価である。

〔発明が解決しようとする問題点〕

上述した従来のチップ化モジュールでは、機能素子のチップ化による大幅な集積化が行われているが、入出力接続用のMIC基板や直流カット用のチップコンデンサ等の周辺回路があるため、チップ化モジュールとしての小形化には限界があり、パッケージでの共振、入出力ガラス封止ピンコネクタ部での高周波特性の劣化、アイソレーションの不充分等の問題点がある。

〔問題点を解決するための手段〕

本発明のチップ化モジュールは、チップ部品を

用いたマイクロ波モジュールにおいて、誘電体基板上に入出力ストリップ線路を蒸着し、この入出力ストリップ線路と結合するスロット線路及び前記チップ部品を前記誘電体基板裏面の接地導体面上に構成して、前記入出力ストリップ線路と前記チップ部品との接続をストリップ・スロット変換を介してなし、さらにチップ実装部をハーマチックシールしたことを特徴とする。

〔実施例〕

次に、本発明について第1図、第2図を参照して説明する。

第1図(a),(b),(c)は本発明のチップ化モジュールの一実施例を示す平面透視図、側面図、上面図、第2図(a),(b),(c)は本発明の一使用例を示すチップ化モジュール増幅器のブロック図、平面実装図、部分断面を含む側面図である。

第1図において、GaAsFETチップ1、電源バイパスコンデンサ4、5、薄膜抵抗6、7のハーマチックシールを必要とするチップ部品は誘電体基板19の接地導体面側に実装される。本実施例の電

氣的な等価回路は第3図(c)に示したものと同一であり、チップ部品の入出力は誘電体基板19上のスロット線路20と磁界的に結合している。またGaAsFETチップ1のゲート、ドレインへは電源電圧供給用コネクタピン10、11から電源が供給される。誘電体基板19上に蒸着された入出力ストリップ線路12、13はストリップ・スロット線路変換により裏面のスロット線路20に接続される。セラミック又は金属材料からなるハーマチックシール用のシールドケース14は誘電体基板19に接合され、カバー15により封止される。

次に第2図に示す本発明の一使用例は2個のアイソレータ21と、2個のチップ化モジュール増幅器22と、パワーモニタ23とを備え、チップ化モジュール増幅器22は電源回路24から電源を供給され、アイソレータ21、チップ化モジュール増幅器22、パワーモニタ23間の信号線路は金リボン25によって接続される。第2図(c)に示すように、ハーマチックシールされたチップ化モジュール増幅器22は個体底面下部に実装され、

ハーマチックシールが不要なアイソレータ21、パワーモニタ23は個体底面上部に実装される。チップ化モジュール増幅器22と他のモジュールの接続はスロット線路・ストリップ線路変換で接続される。

このような構造の使用例ではモジュールの縦横接続が容易であり、第3図で説明した従来例におけるハーマチックシール用のピンコネクタ接続部による特性の劣化が生じない。また、本使用例ではチップ部品等最少限必要な回路部品のみをハーマチックシールするので、全体として小形化が可能である。

〔発明の効果〕

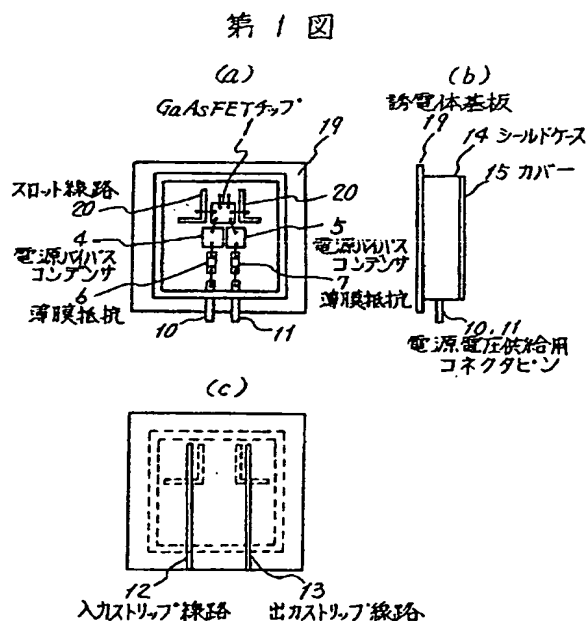
以上説明したように本発明は、入出力ストリップ線路を誘電体基板上に形成し、FETチップ等のチップ部品を接地導体側に実装して、入出力ストリップ線路とをストリップ線路・スロット線路変換で接続することにより、入出力接続線路側とチップ部品実装側とは本質的に直流的、気密的にアイソレートされており、従来では必要な直流カ

特開平1-95602(3)

ット用チップコンデンサおよび入出力接続ピン並びにハーメチックシール用ガラス封止が不要である。また、チップ部品等のみをハーメチックシールする構造となっているため、シールドケースの大きさはチップ部品相当の寸法であればよく、大幅な小形化が図れるので、ケースの共振周波数を使用周波数に比べて充分に高くすることができ、小形化、軽量化が可能である。さらに、他のチップ化モジュール、誘電体基板との接続接続が容易であり、かつチップ搭載部は入出力部にスロット線路を使用しているため電界はスロット部に集中し、漏洩電磁界はほとんど零であるので、入出力アイソレーションは良好である。また、周波数特性は従来例におけるような高周波での劣化がないので、ミリ波帯においても使用できるなど多くの効果がある。

4. 図面の簡単な説明

第1図(a), (b), (c)は本発明のチップ化モジュールの一実施例を示す平面透視図、側面図、上面図、

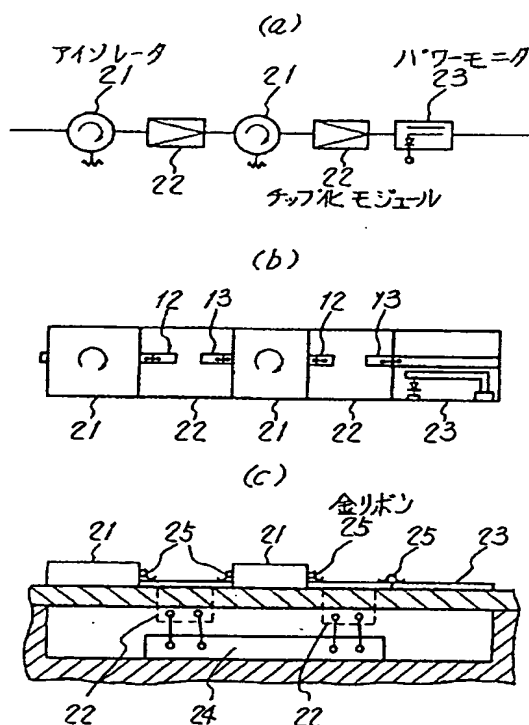


第2図(a), (b), (c)は本発明の一使用例を示すチップ化モジュール増幅器のブロック図、平面実装図、部分断面を含む側面図、第3図(a), (b), (c), (d)は従来のチップ化モジュールの一例を示す平面透視図、側面図、回路図、チップキャリア実装図である。

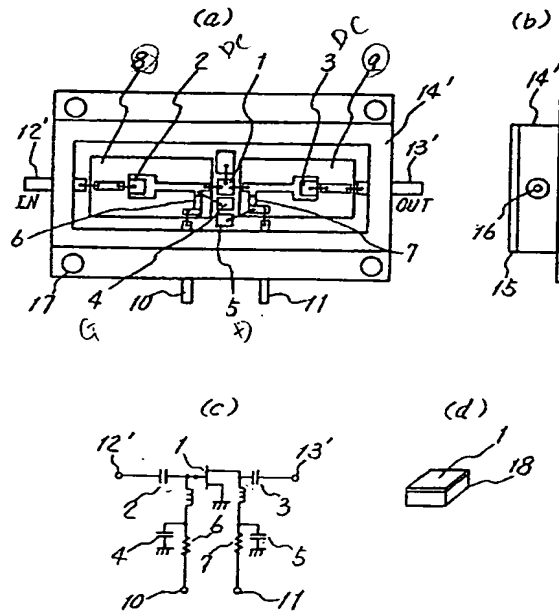
1 …… GaAs FETチップ、4, 5 …… 電源バイパスコンデンサ、6, 7 …… 薄膜抵抗、10, 11 …… 電源電圧供給用コネクタピン、12, 13 …… 入出力ストリップ線路、14 …… シールドケース、15 …… カバー、19 …… 誘電体基板、20 …… スロット線路、21 …… アイソレータ、22 …… チップ化モジュール増幅器、23 …… パワーモニタ、24 …… 電源回路、25 …… 金リボン。

代理人 弁理士 内 原 晋

第2図



第3図



BEST AVAILABLE COPY